

MULTILAYER WIRING SUBSTRATE AND MANUFACTURE THEREOF AND SEMICONDUCTOR DEVICE

Publication number: JP2000261141 (A)

Publication date: 2000-09-22

Inventor(s): MASHINO NAOHIRO +

Applicant(s): SHINKO ELECTRIC IND CO +

Classification:

- international: H05K3/10; H01L23/12; H05K3/20; H05K3/46; H05K3/10;
H01L23/12; H05K3/20; H05K3/46; (IPC1-7): H05K3/46;
H01L23/12; H05K3/10; H05K3/20

- European:

Application number: JP19990060115 19990308

Priority number(s): JP19990060115 19990308

Also published as:

JP3790063 (B2)

Abstract of JP 2000261141 (A)

PROBLEM TO BE SOLVED: To realize fine wiring of the level similar to the full additive method to form the via holes of high aspect ratio without resulting in disadvantages such as side etching and electro-migration in a multiplayer wiring substrate. SOLUTION: Insulation layers 12, 13 are formed on a core base material 10 on which a first wiring 11 is formed, a recess 16 is formed depending on the shape of the second wiring on the insulation layers 12, 13, a via hole 17 to the first wiring 11 is formed in this recess 16, an electrolyte plating film or evaporation film is formed to fill the via hole 17 and recess 16 to form the interlayer connecting part 18 and the second wiring 19. Thereafter, above process is repeated until the necessary number of layers of wiring can be attained.

Data supplied from the *espacenet* database — Worldwide

Abridged Translation of JP-2000/261141

(Jpn. Patent Laid-open 2000-261141)

Laid-open date: Sep. 22, 2000

Application Number: Hei-11-60115 (filing date: March 8, 1999)

Applicant: SHINKO ELECTRIC IND CO + (Jpn. Nagano)

1. Title of Invention

MULTILAYER WIRING SUBSTRATE AND MANUFACTURE
THEREOF AND SEMICONDUCTOR DEVICE

3. Detailed Explanation of Invention

——※——※——※——※——※——※——※——※——※——※——

[0009]

[Problem(s) to be Solved by the Invention]

→Please see the appended Abstract translated into English.

[0014]

[Embodiment of the Invention] Now the build up multilayer wiring board concerning one embodiment of this invention is explained below, referring to Fig.1-3 showing the manufacturing process. First, at the first process (see Fig.1 (a)), the insulating layers 12 and 13 of two-layer structure are respectively formed on the copper (Cu) wiring 11 patterned on both sides of the core base (core substrate 10) used as the base of a wiring board. That is, the insulating layer 12 containing a nonwoven fabric and having a thickness of about 25 micrometers is formed on Cu wiring 11 on the core substrate 10, and also the thermosetting insulating layer 13 having a thickness of about 30 micrometers is formed on it.

[0015] The sectional structure of only one side of the core substrate 10 is shown in the examples for simplification. The material of the upper thermosetting insulating layer 13 is for example an epoxy resin, phenol resin, etc. which has the character that it is hardened by crosslinking

reaction when heated at a next process and is stabilized thermally. On the other hand it is preferable that the lower layer insulating layer 12 containing the nonwoven fabric consists of a material with a lower dielectric constant and further the thickness can be controlled stably. For this reason, a liquid crystal polymer and an aramid fiber etc. are used as the nonwoven fabric, and an epoxy resin and polyimide resin, etc. are used as the insulating layer.

[0016] The core substrate 10 constitutes the insulating layer and constitutes the core layer (the 1st layer) of the build up multilayer wiring board together with Cu wiring 11 (conductor layer) formed on it. The material of the core substrate 10 is preferably a glass epoxy resin, glass BT (bismaleimide triazine) resin, etc. for example. The core layer may be produced by performing a resist application and etching, etc. to the copper-clad resin boards (glass epoxy resin compound board etc.) on which a copper foil is stuck and by forming the copper (Cu) wiring pattern.

[0017] At the following process (see Fig.1 (b)), the resin layer (dry film) which is used as a positive type resist and which can be exfoliated is formed on the thermosetting insulating layer 13, and furthermore the dry film is patterned so that the shape of wiring of the second layer may be formed using a mask (not shown), and the exposure and the development by an alkali solution are performed. In this way the dry film 14 patterned in the shape of wiring of the second layer is formed on the thermosetting insulating layer 13. Thus, the thickness of the formed dry film 14 specifies the thickness of wiring of the second layer, and is about 25 micrometers in this embodiment.

[0018] At the following process (see Fig.1 (c)) so as not to destroy the patterned dry film 14 (that is, the shape of the dry film 14, etc. are kept remained), and so as not to destroy Cu wiring 11 on the core substrate 10, both sides of the substrate are pressed with the press board 15. On the other hand the thermosetting insulating layer 13 is melt by applying the

heat and the dry film 14 is embed into this insulating layer 13 and the insulating layer 13 is stiffened.

[0019] At the following process (see Fig.2 (a)), the dry film 14 (see Fig.1 (c)) is exfoliated and removed using a weak alkaline drug solution (for example, solution of sodium hydroxide (NaOH)). The recess 16 is formed in the portion (shown with a dashed line) in which the dry film 14 was formed on the thermosetting insulating layer 13. This recess 16 has the same thickness as the thickness of the dry film 14, i.e., the thickness of wiring of the second layer.

[0020] At the following process (see Fig.2 (b)), the via hole 17 with about 35 micrometers in diameter is formed on the thermosetting insulating layer 13 and the insulating layer 12 in the portion corresponding to the position of Cu wiring 11 on the core substrate 10 in the recess 16, by means of hole drilling process by laser. As the laser, an YAG laser, excimer laser, or CO2 laser is used.

[0021] Then, the process (deburring, desmearing, etc.) for removing a piece of resin, dirt, etc. which were produced by the hole drilling process is performed. At the following process (see Fig.2 (c)), by electrolysis panel plating or vacuum evaporation, copper (Cu) plating film or vacuum evaporation film is formed on the whole substrate face so that the via hole 17 and the recess 16 are embedded. Therefore the interlayer connection part (conduction portion of the via hole) 18 and the wiring part 19 of the second layer are formed. However ... the concavo-convex portion remains in the substrate face as shown in Fig.2 (c).

[0022] At the following process (see Fig.3 (a)), the concavo-convex portion of the substrate face are ground by mechanical polishing and flattened. 20 shows the fine abrasive grain used for polishing.... At the following process (see Fig.3 (b)), a leveling (removal of the surface portion of the metal membrane) is performed by wet etching until the

wiring part 19 of the second layer is exposed. The dashed line expresses the portion which was removed by etching. In this stage the Cu wiring 21 of the second layer was finally formed.

[0023] At the last process (see Fig.3 (c)), as shown in Fig.1 (a), the insulating layers (the insulating layer 22 containing the nonwoven fabric and the thermosetting insulating layer 23) of the 3rd layer are formed on the Cu wiring 21 (conductor layer) of the second layer. And the same processes as shown in Fig.1 (b) - Fig.3 (b) are repeated. And those processes are suitably repeated until a required number of layers are formed and the insulating layer and conductor layer (Cu wiring) including the via hole are accumulated alternately.

[0024] As explained above, according to the manufacturing method of the build up multilayer wiring board concerning this embodiment, when forming wiring in each layer (except for the core layer), without performing the etching process which is used in the subtractive process or the nonelectrolytic plating which is used in the semiadditive process or the fully-additive process, the wiring can be embed into the insulating layer by the electrolysis panel plating or the vacuum evaporation. Thus the conventional problems (side etching, a wiring jump, electromigration, etc.) in the conventional pattern formation method can be solved.

—※—※—※—※—※—※—※—※—※—※—※—※—

4. Brief Explanation of Drawings

Fig.1 is a sectional view showing the manufacturing process (1st) of the build up multilayer wiring board concerning one embodiment of this invention, Fig.2 is a sectional view showing the manufacturing process (2nd) following the manufacturing process of Fig.1, Fig.3 is a sectional view showing the manufacturing process (3rd) following the manufacturing process of Fig. 2, and Fig.4 is a sectional view showing an example of the application of the build up multilayer wiring board concerning one embodiment of this invention.

10...Core substrate (core base used as the base of a wiring board), 11, 19, 21, 24...Cu wiring (conductor layer), 12, 22...Insulating layer containing a nonwoven fabric, 13, 23...Thermosetting insulating layer, 14...Dry film, 16...Recess, 17...Via hole, 18...Interlayer connection part (conduction portion of a via hole), 30...Pin, 31...Semiconductor chip, 32...Solder bump, 33...Underfill agent, 34...Solder resist layer, 35...Solder

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-261141

(P2000-261141A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl. ⁷	識別記号	F I	ターム(参考)
H 0 5 K	3/46	H 0 5 K	3/46 B 5 E 3 4 3
H 0 1 L	23/12		3/10 E 5 E 3 4 6
H 0 5 K	3/10		3/20 A
	3/20	H 0 1 L	23/12 N

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平11-60115

(22) 出願日 平成11年3月8日 (1999.3.8)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 真篠 直寛

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

Fターム(参考) 5E343 AA17 AA18 BB24 DD23 DD43

DD56 ER18 ER45

5E346 AA43 CC04 CC05 CC09 CC10

DD16 DD44 EE38 EE39 GG08

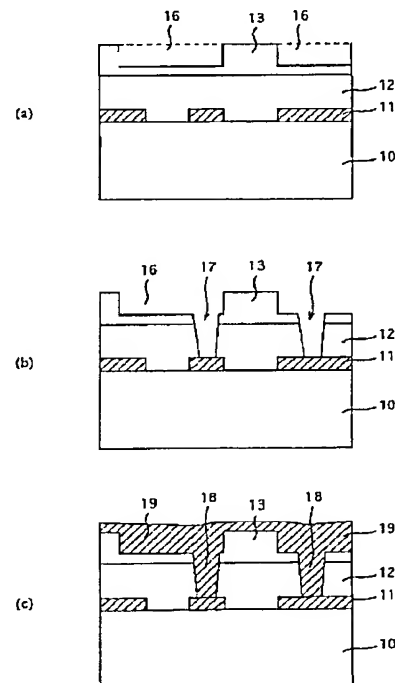
GG09 GG28

(54) 【発明の名称】 多層配線基板及びその製造方法並びに半導体装置

(57) 【要約】

【課題】 多層配線基板において、サイドエッチングやエレクトロマイグレーション等の不都合を招くことなく、フルアディティブ法に近いレベルの微細配線を実現し、高アスペクト比のビア・ホール形成に寄与することを目的とする。

【解決手段】 第1の配線11が形成されたコア基材10の上に絶縁層12、13を形成し、この絶縁層に第2の配線の形状に応じた凹部16を形成し、この凹部において第1の配線11に到達するビア・ホール17を形成し、ビア・ホール17及び凹部16を埋め込むように電解パネルメッキ膜又は蒸着膜を形成して層間接続部18と第2の配線19を形成し、以降、必要な配線の層数となるまで上記の処理を繰り返す。



【特許請求の範囲】

【請求項1】 表面に第1の配線が形成されたコア基材の上に絶縁層を形成する第1の工程と、前記絶縁層に、該絶縁層上に形成されるべき第2の配線の形状に応じた凹部を形成する第2の工程と、前記凹部内に前記第1の配線に到達するビア・ホールを形成する第3の工程と、前記ビア・ホール及び前記凹部を埋め込むように前記絶縁層上に金属膜を形成して層間接続部及び第2の配線を形成する第4の工程と、前記第1～第4の工程と同様の工程を必要な配線の層数となるまで繰り返す第5の工程とを含むことを特徴とする多層配線基板の製造方法。

【請求項2】 前記第4の工程は、電解パネルめっき又は蒸着により、前記ビア・ホール及び前記凹部を埋め込むように前記絶縁層の表面全体にめっき膜又は蒸着膜の金属膜を形成する工程と、該金属膜の表面を平坦化する工程と、前記第2の配線が露出するまで前記金属膜の表面部分を除去する工程とを含むことを特徴とする請求項1に記載の多層配線基板の製造方法。

【請求項3】 前記第1の工程において、前記絶縁層を、低誘電率で膜厚制御安定性を有し、且つ熱硬化性を有する材料で形成することを特徴とする請求項1に記載の多層配線基板の製造方法。

【請求項4】 前記第1の工程は、前記コア基材の上に低誘電率で膜厚制御安定性を有する第1の絶縁層を形成する工程と、前記第1の絶縁層の上に熱硬化性を有する第2の絶縁層を形成する工程とを含むことを特徴とする請求項3に記載の多層配線基板の製造方法。

【請求項5】 前記第2の工程は、前記絶縁層の上に前記第2の配線の形状に従うようにパターンニングされたパターンを備えた剥離可能な樹脂膜を形成する工程と、前記樹脂膜のパターン形成側をその上端が前記絶縁層の上端に一致するまで当該絶縁層に埋め込む工程と、前記樹脂膜を剥離して除去する工程とを含むことを特徴とする請求項3に記載の多層配線基板の製造方法。

【請求項6】 前記樹脂膜を前記絶縁層に埋め込む工程において、プレス処理によって両面から押圧する一方、熱を加えて前記絶縁層の上端部分を溶かすことで当該絶縁層に前記樹脂膜を埋め込むことを特徴とする請求項5に記載の多層配線基板の製造方法。

【請求項7】 前記剥離可能な樹脂膜として、ドライフィルムを用いることを特徴とする請求項5に記載の多層配線基板の製造方法。

【請求項8】 前記第3の工程において、前記ビア・ホールを、YAGレーザ、エキシマレーザ又はCO₂レーザにより形成することを特徴とする請求項1に記載の多層配線基板の製造方法。

【請求項9】 請求項1から8のいずれか一項に記載の多層配線基板の製造方法によって製造された多層配線基

板。

【請求項10】 請求項1から8のいずれか一項に記載の多層配線基板の製造方法によって製造された多層配線基板に半導体素子が搭載されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線基板及びその製造方法並びに半導体装置に関し、より詳細には、半導体パッケージとして供されるビルドアップ多層配線基板において微細配線を実現するのに有用な技術に関する。

【0002】

【従来の技術】近年、プリント配線基板は軽量化が要求され、かつ、小型・多ピン化されたPGA（ピン・グリッド・アレイ）やBGA（ボール・グリッド・アレイ）等を搭載すべく、配線の微細化及び高密度化が要求されている。しかし、従来のプリント配線基板は、ビア・ホールの形成に多くの面積を必要としていたため、設計自由度が制限され、配線の微細化が困難であった。そこで、近年実用化が進んできたのが、ビルドアップ工法を用いたプリント配線基板（ビルドアップ多層配線基板）である。

【0003】ビルドアップ多層配線基板は、層間絶縁層の材料とビア・ホール形成プロセスの組合せにより多種類のものが作製可能であり、その製造プロセスは、一般的には、絶縁層の形成、絶縁層におけるビア・ホールの形成、及び、ビア・ホールの内部を含めた導体パターン（配線）の形成を順次繰り返して積み上げていくものである。

【0004】かかる製造プロセスにおいて、配線を形成する際、主として、サブトラクティブ法、セミアディティブ法又はフルアディティブ法が用いられる。サブトラクティブ法とは、従来から知られている工法であり、一般的には、平坦な絶縁膜上に形成された配線（導体膜）上に感光性エッチングレジスト膜等を形成し、エッチングにより配線部分以外の導体膜を除去することで配線を形成する手法である。

【0005】また、セミアディティブ法とは、一般的には、穴明け加工した配線基板（絶縁基板）上に全面無電解銅めっきを施した後、めっきレジストにより配線パターンを形成し、露出した銅めっき膜を電極とし、この部分のみ電解めっきを成長させることで配線を形成する手法である。また、フルアディティブ法とは、一般的には、めっきレジストを露光現像することにより、配線部分のみ開口し、開口した部分のみ無電解銅めっきを成長させることで配線を形成する手法である。

【0006】

【発明が解決しようとする課題】上述したように、サブトラクティブ法では、配線（導体膜）上に形成されたレ

ジスト膜をマスクにして配線部分以外の導体膜をエッチング除去するようにしているため、例えば等方性エッチングを行った場合、レジスト膜のエッジ部分に近い導体膜の部分の方が遠い方の部分よりもエッチングの進行が早いので、その部分が余計にエッチングされ、導体膜の断面形状がほぼ台形状となる状態（サイドエッチング）が発生するという問題があった。これは、導体膜の膜厚が厚くなればなるほど一層顕著に現れ、また導体膜に対するレジスト膜の密着性が不良の場合には特に発生しやすい。

【0007】また、配線パターンを画定する導体膜にこのようなサイドエッチングされた部分が存在すると、後の工程で行われる洗浄処理の際にシャワーの圧力が原因で当該部分が欠損してしまう（つまり配線層の一部が取れてしまう）、いわゆる「配線飛び」が発生するという問題もあった。また、サブトラクティブ法では、配線パターンの最小線幅が $100\mu\text{m}$ 程度以下になると歩留まりが低下し、量産することが難しくなる。そのため、現状の技術では微細配線を実現するのは困難であった。

【0008】これに対しフルアディティブ法では、めっきレジストとして例えばドライフィルムを用いた場合、ドライフィルムの現像精度がそのままパターン精度となるため、微細配線を実現することが可能である。しかしフルアディティブ法では、セミアディティブ法と同様に、配線（パターン）の形成に際して無電解めっきを行っているため、絶縁膜の表面に残っためっきの種がエレクトロマイグレーションに対し悪影響を及ぼす可能性があった。

【0009】本発明は、かかる従来技術における課題に鑑み創作されたもので、サイドエッチングやエレクトロマイグレーション等の不都合を招くことなく、フルアディティブ法に近いレベルの微細配線を実現し、ひいては高アスペクト比のビア・ホール形成に寄与することができる多層配線基板及びその製造方法並びに半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上述した従来技術の課題を解決するため、本発明の一形態によれば、表面に第1の配線が形成されたコア基材の上に絶縁層を形成する第1の工程と、前記絶縁層に、該絶縁層上に形成されるべき第2の配線の形状に応じた凹部を形成する第2の工程と、前記凹部内に前記第1の配線に到達するビア・ホールを形成する第3の工程と、前記ビア・ホール及び前記凹部を埋め込むように前記絶縁層上に金属膜を形成して層間接続部及び第2の配線を形成する第4の工程と、前記第1～第4の工程と同様の工程を必要な配線の層数となるまで繰り返す第5の工程とを含むことを特徴とする多層配線基板の製造方法が提供される。

【0011】本発明に係る多層配線基板の製造方法によれば、配線（第2の配線）を形成する際に、従来のよう

に平坦な絶縁膜の上に配線を形成するのではなく、絶縁層に形成されたビア・ホール及び凹部を埋め込むように（つまり絶縁層に配線を埋め込むように）していることで、従来のパターン形成方法で見られたような問題点を解消することができる。すなわち、サブトラクティブ法で用いられるようなエッチング処理を行っておらず、またセミアディティブ法やフルアディティブ法で用いられるような無電解めっきを行っていないので、サイドエッチングやエレクトロマイグレーション等の不都合は生じない。

【0012】これによって、フルアディティブ法に近いレベルの微細配線を実現することが可能となり、また、かかる微細配線に包含されるビア・ホールの径もそれに応じて微小化することができる。つまり、アスペクト比の高いビア・ホールを形成することが可能となる。また、本発明の他の形態によれば、上述した多層配線基板の製造方法によって製造された多層配線基板が提供される。

【0013】さらに、本発明の他の形態によれば、上述した多層配線基板の製造方法によって製造された多層配線基板を用いて構成されたPGA型又はBGA型配線基板においてピン又はボールが設けられている側と反対側の面に電子部品や半導体デバイス等が搭載されていることを特徴とする半導体装置が提供される。

【0014】

【発明の実施の形態】以下、本発明の一実施形態に係るビルドアップ多層配線基板について、その製造工程を順に示す図1～図3を参照しながら説明する。先ず、最初の工程では（図1（a）参照）、配線基板のベースとなるコア基材（本実施形態ではコア基板10）の両面にパターンニングされた銅（Cu）配線11上にそれぞれ2層構造の絶縁層12、13を形成する。すなわち、コア基板10上のCu配線11上に不織布入り絶縁層12を厚さ $25\mu\text{m}$ 程度で形成し、更にその上に熱硬化性絶縁層13を厚さ $30\mu\text{m}$ 程度で形成する。

【0015】なお、図示の例では簡単化のため、コア基板10の片面のみの断面構造が示されており、これは図1（b）以降についても同様である。上層の熱硬化性絶縁層13の材料については、後の工程で加熱された時に架橋反応によって硬化し熱的に安定した状態を呈示する性質を有していれば十分であり、例えばエポキシ樹脂、フェノール樹脂等が用いられる。他方、下層の不織布入り絶縁層12については、低誘電率の材料からなり、更にその膜厚の制御が安定に行えること（膜厚制御安定性）が望ましい。このために、不織布としては例えば液晶ポリマー、アラミド繊維等が用いられ、絶縁層としては例えばエポキシ樹脂、ポリイミド樹脂等が用いられる。

【0016】また、コア基板10は絶縁層を構成し、その上に形成されたCu配線11（導体層）と共にビルド

アップ多層配線基板のコア層（１層目）を構成する。コア基板１０の材料については、例えばガラス－エポキシ樹脂、ガラスＢＴ（ビスマレイミド－トリアジン）樹脂等が用いられる。コア層は、例えば、表面に銅箔を張り付けた銅張り樹脂板（ガラス－エポキシ樹脂複合板など）に対しレジスト塗布やエッチング等を行って銅（Ｃｕ）配線パターンを形成することにより、作製される。

【００１７】次の工程では（図１（ｂ）参照）、熱硬化性絶縁層１３の上にポジ型のレジストとして用いる剥離可能な樹脂膜（本実施形態ではドライフィルム）を形成し、更にマスク（図示せず）を用いて２層目の配線の形状に従うようドライフィルムのパターンニングを行い、露光とアルカリ系溶液による現像処理を施す。これによって、図示のように２層目の配線の形状にパターンニングされたドライフィルム１４が熱硬化性絶縁層１３の上に形成される。このようにして形成されたドライフィルム１４の膜厚は、２層目の配線の膜厚を規定し、本実施形態では厚さ２５μｍ程度に選定されている。

【００１８】次の工程では（図１（ｃ）参照）、パターンニングされたドライフィルム１４を破壊しないように（つまりドライフィルム１４の形状等を正確に保つように）、またコア基板１０上のＣｕ配線１１を破壊しないように、基板の両面からプレス板１５によって押圧する一方、熱を加えて熱硬化性絶縁層１３を溶かすことによりこの絶縁層１３中にドライフィルム１４を埋め込みながら絶縁層１３を硬化させる。

【００１９】次の工程では（図２（ａ）参照）、弱アルカリ性の薬液（例えば水酸化ナトリウム（ＮａＯＨ）の水溶液）を用いてドライフィルム１４（図１（ｃ）参照）を剥離し、除去する。これによって、図示のように熱硬化性絶縁層１３においてドライフィルム１４が形成されていた部分（破線で示す部分）に凹部１６が形成される。この凹部１６は、ドライフィルム１４の膜厚すなわち２層目の配線の膜厚と同じ厚さを有している。

【００２０】次の工程では（図２（ｂ）参照）、レーザーによる穴明け処理により、凹部１６においてコア基板１０上のＣｕ配線１１の位置に対応する部分の熱硬化性絶縁層１３及び不織布入り絶縁層１２にビア・ホール１７を直径３５μｍ程度で形成する。レーザーとしてはＹＡＧレーザー、エキシマレーザー又はＣＯ₂レーザーが用いられる。

【００２１】この後、穴明け処理によって生じた樹脂片や汚れ等を除去するための処理（デバリッシング、デスミア等）を行う。次の工程では（図２（ｃ）参照）、電解パネルめっき又は蒸着により、ビア・ホール１７及び凹部１６を埋め込むようにして基板表面全体に銅（Ｃｕ）のめっき膜又は蒸着膜を形成する。これによって、層間接続部（ビア・ホールの導通部分）１８と２層目の配線部分１９が形成される。但し、この段階では単に電解パネ

ルめっき又は蒸着の処理が行われているにすぎないので、図示のように基板表面に凹凸部分が残っている。

【００２２】次の工程では（図３（ａ）参照）、上述した基板表面の凹凸部分を機械研磨により研磨して平坦化する。図中、２０は研磨に用いる微細砥粒を示しており、この微細砥粒の機械的な押込み及び引掻き作用により基板表面を加工することで平坦化を行う。次の工程では（図３（ｂ）参照）、ウエットエッチングにより、２層目の配線部分１９が露出するまでレベリング（金属膜の表面部分の除去）を行う。図中、破線で示す部分は、エッチングによって除去された部分を表している。この段階で、最終的な２層目のＣｕ配線２１が形成されたことになる。

【００２３】最後の工程では（図３（ｃ）参照）、図１（ａ）に示した工程と同様にして、２層目のＣｕ配線２１（導体層）の上に３層目の絶縁層（不織布入り絶縁層２２及び熱硬化性絶縁層２３）を２層構造で形成し、更に図１（ｂ）～図３（ｂ）に示した工程と同様の工程を繰り返す。そして、必要な層数となるまで上記の工程を適宜繰り返す。ビア・ホールを含む絶縁層と導体層（Ｃｕ配線）とを交互に積み重ねていく。

【００２４】以上説明したように、本実施形態に係るビルドアップ多層配線基板の製造方法によれば、各層（コア層を除く）において配線を形成する際に、サブトラクティブ法で用いられるようなエッチング処理、或いはセミアディティブ法やフルアディティブ法で用いられるような無電解めっきを行わずに、電解パネルめっき又は蒸着により当該配線を絶縁層に埋め込むようにしているので、従来のパターン形成方法で見られたような問題点（サイドエッチング、配線飛び、エレクトロマイグレーション等）を解消することができる。

【００２５】これによって、フルアディティブ法に近いレベルの微細配線を実現することができ、また、かかる微細配線に包含されるビア・ホールの小径化を図ることができる。これは、高アスペクト比のビア・ホールの形成に寄与するものである。また、各層（コア層を除く）において絶縁層を２層構造（不織布入り絶縁層及び熱硬化性絶縁層）としているので、例えば２層目について見ると、下層の不織布入り絶縁層１２は、その下層側のＣｕ配線１１と上層の熱硬化性絶縁層１３との間のバッファ層として機能することができる。つまり、基板の両面からのプレス処理（図１（ｃ）参照）によって押圧された時にその押圧による余分な力がＣｕ配線１１に波及するのを防ぎ、Ｃｕ配線１１が破壊されないように（つまりＣｕ配線１１の形状等が正確に保たれるように）することができる。

【００２６】図４は上述した実施形態に係るビルドアップ多層配線基板の一適用例を例示したものである。図示の例は、上述した実施形態のビルドアップ多層配線基板を、プラスチックタイプの半導体パッケージの外部接続

端子となるピンが基板の一方の面に多数立設されたPGA型配線基板の形態で実現した場合の一構成例を模式的に示したもので、当該配線基板において、ピン30が設けられている側と反対側の面に電子部品や半導体デバイス等(図示の例では半導体チップ31)が搭載されている半導体装置の構成を示している。

【0027】図中、ハッチングで示される部分は、銅(Cu)のめっき膜又は蒸着膜によって形成された配線又は層間接続部(ビア・ホールの導通部分)を表している。また、24は3層目のCu配線(導体層)、32はチップ31上に設けられたはんだバンプ、33はエポキシ樹脂等のアンダーフィル剤、34は紫外線(UV)照射によって硬化する性質をもつ樹脂からなるソルダレジスト層、35ははんだ、36はコア基板10に設けられたスルーホール(図1～図3では説明の簡単化のため図示していない)を示す。

【0028】ピン30の接合は、例えば、以下のようにして行われる。まず、ソルダレジスト層34の、ピン30が接合されるべき導体層(パッドとして画定されたCu配線)の領域に対応する部分にUV照射を行い、露光・現像処理を行って開口部を形成し、次に、この開口部において当該パッドの上に適量のはんだ35を載せ、その上に径大の頭部を有するT字状のピン30の頭部を配置し、更にリフローを行ってはんだ35を固め、ピン30を固定する。他方、チップ31と配線基板の接続は、はんだバンプ32を配線基板のパッド(Cu配線)に熱圧着等により押し付けることで行われる。

【0029】図4に示す構成例では、上述した実施形態のビルドアップ多層配線基板をPGA型配線基板の形態で実現した場合について説明したが、かかるビルドアップ多層配線基板は、BGA型配線基板の形態で実現した場合にも同様に適用され得ることは当業者には明らかであろう。また、上述した実施形態では、Cu配線の上に形成される絶縁層を2層構造とした場合について説明したが、絶縁層の構造はこれに限定されないことはもちろんである。要は、絶縁層が全体として、上述したような低誘電率で膜厚制御安定性、且つ熱硬化性を有していれば、2層以外の他の多層構造や単層構造とすることも可能である。

【0030】また、上述した実施形態では、配線基板の

ベースとなるコア基材にコア基板10を用いているが、これに代えて、ポリイミド樹脂等からなるフィルムを用いてもよい。この場合、コア層は、例えばポリイミド樹脂フィルムの表面にポリイミド系の熱可塑性接着剤を塗布し、その上に銅(Cu)箔を熱プレス接着し、フォトリソエッチング等を行って配線パターンを形成することにより、作製され得る。

【0031】

【発明の効果】以上説明したように本発明によれば、電解パネルめっき又は蒸着により平坦な絶縁層に配線を埋め込むことにより、従来のパターン形成方法で見られたような問題点を解消することができ、またフルアディティブ法に近いレベルの微細配線を実現し、ひいてはアスペクト比の高いビア・ホールの形成に寄与することができ

【図面の簡単な説明】

【図1】本発明の一実施形態に係るビルドアップ多層配線基板の製造工程(その1)を示す断面図である。

【図2】図1の製造工程に続く製造工程(その2)を示す断面図である。

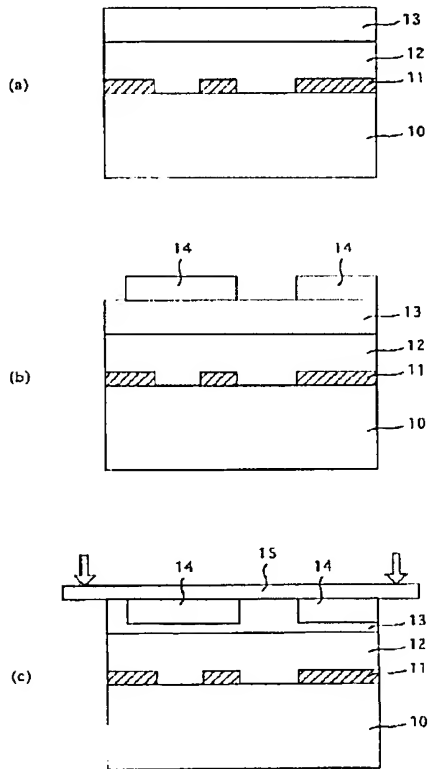
【図3】図2の製造工程に続く製造工程(その3)を示す断面図である。

【図4】本発明の一実施形態に係るビルドアップ多層配線基板の一適用例を示す断面図である。

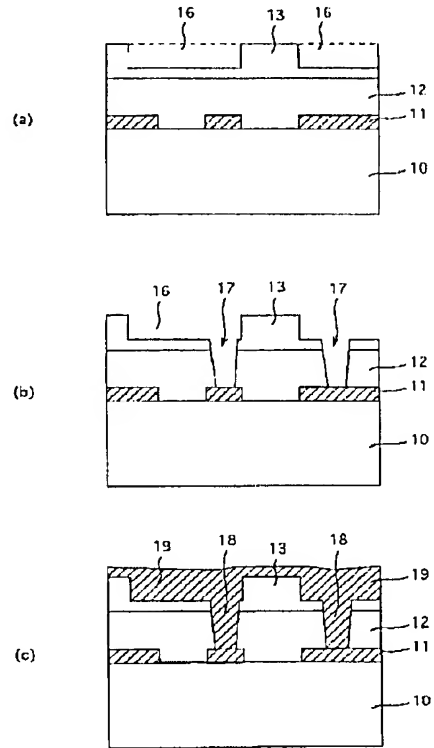
【符号の説明】

- 10…コア基板(配線基板のベースとなるコア基材)
- 11, 19, 21, 24…Cu配線(導体層)
- 12, 22…不織布入り絶縁層
- 13, 23…熱硬化性絶縁層
- 14…ドライフィルム
- 16…凹部
- 17…ビア・ホール
- 18…層間接続部(ビア・ホールの導通部分)
- 30…ピン
- 31…半導体チップ
- 32…はんだバンプ
- 33…アンダーフィル剤
- 34…ソルダレジスト層
- 35…はんだ

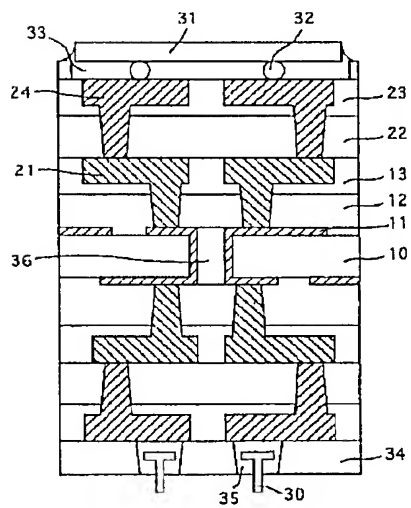
【図1】



【図2】



【図4】



【図3】

